

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(19)

(11) Publication number:

06187066 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 04338495

(51) Intl. Cl.: G06F 1/06 G06F 1/04 G06F 15/16

(22) Application date: 18.12.92

(30) Priority:

(43) Date of application
publication: 08.07.94(84) Designated
contracting states:

(71) Applicant: RICOH CO LTD

(72) Inventor: MORI YOJI

(74) Representative:

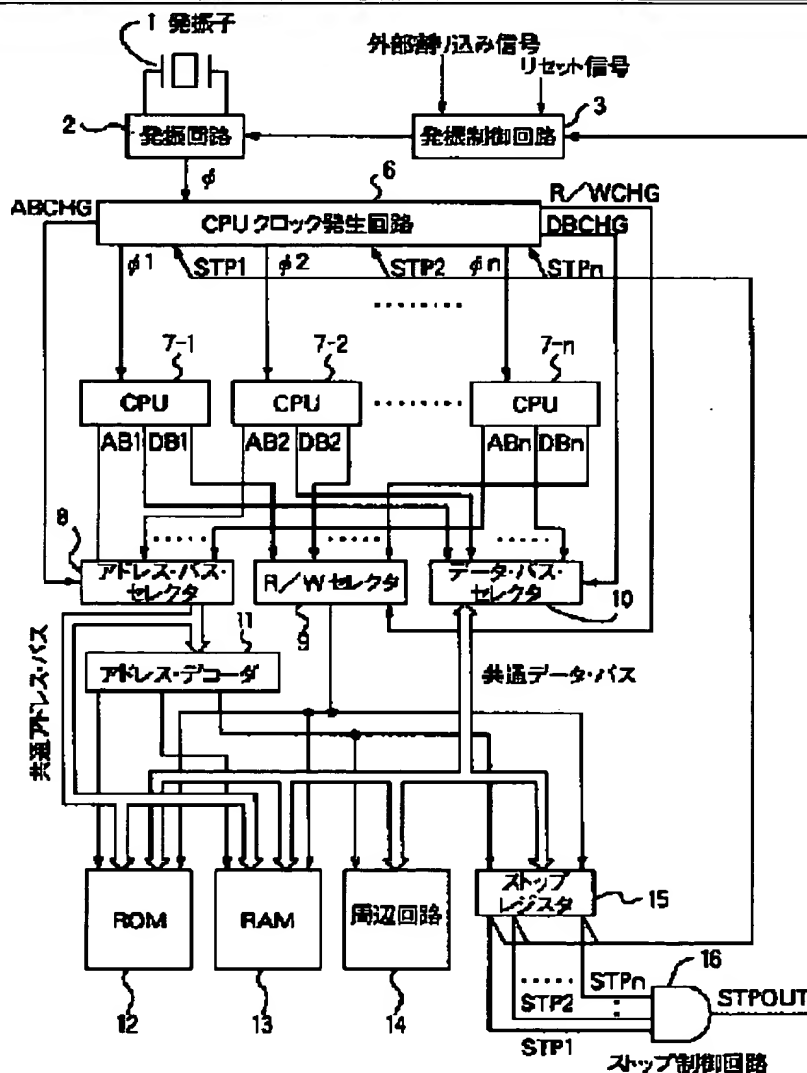
(54) MICROPROCESSOR WITH
PLURAL CPU

(57) Abstract:

PURPOSE: To provide a microprocessor equipped with plural central processing units(CPU) to be controlled independently for each CPU.

CONSTITUTION: This microprocessor is provided with plural CPU 7-1 or the like, clock generating means 1, 2, 3 and 6 for sending clock signals to the respective plural CPU 7-1, etc., and selecting means 8, 9, 10 and 11 to be supplied the output information of the plural CPU 7-1, etc., and to select the information corresponding to the select signals supplied from the clock generating means 1, 2, 3 and 6. Further, oscillation stop means 15 and 16 are provided to store the information for each CPU supplied from the selecting means 8, 9, 10 and 11 and to stop a stop signal for stopping the generation of clock signals to the clock generating means 1, 2, 3 and 6 when all the CPU 7-1 or the like sends stop mode information.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁(JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-187066

(43)公開日 平成6年(1994)7月8日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 1/06

1/04

3 0 1 B 7165-5B

15/16

3 3 0 C 8840-5L

7165-5B

G 0 6 F 1/ 04

3 1 0 Z

審査請求 未請求 請求項の数4(全 10 頁)

(21)出願番号

特願平4-338495

(22)出願日

平成4年(1992)12月18日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 毛利 洋二

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

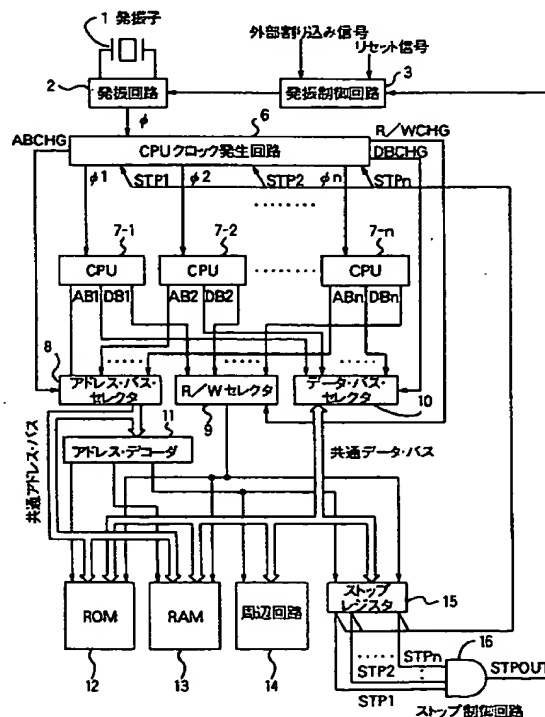
(74)代理人 弁理士 青山 蓀 (外2名)

(54)【発明の名称】 複数の中央演算処理装置を有するマイクロプロセッサ

(57)【要約】

【目的】 各CPU毎に独立して制御可能な複数のCPUを有するマイクロプロセッサを提供する。

【構成】 複数のCPU7-1等と、クロック信号及び選択信号を発生し、上記複数のCPUのそれぞれに上記クロック信号を送出するクロック発生手段1, 2, 3, 6と、上記複数のCPUの出力情報が供給され、該情報を上記クロック発生手段から供給される上記選択信号によって選択する選択手段8, 9, 10, 11と、上記選択手段から供給される各CPU毎の情報を格納し、すべてのCPUが停止モード情報を送出したときには上記クロック信号の発生を停止させる停止信号を上記クロック発生手段へ送出する発振停止手段15, 16と、を備えたことを特徴とする。



【特許請求の範囲】

【請求項1】 複数の中央演算処理装置と、
 複数のクロック信号及び複数の選択信号を発生し、上記
 複数の中央演算処理装置のそれぞれに上記クロック信号
 を送出するクロック発生手段と、
 上記複数のそれぞれの中央演算処理装置から送出される
 複数の出力情報が供給され、該情報を上記クロック発生
 手段から供給される上記選択信号によって選択する選択
 手段と、
 上記選択手段から供給される各中央演算処理装置毎の情
 報を格納し、すべての中央演算処理装置が停止モード情
 報を送出したときにはすべての上記クロック信号の発生
 を停止させる停止信号を上記クロック発生手段へ送出す
 る発振停止手段と、を備えたことを特徴とする複数の中
 央演算処理装置を有するマイクロプロセッサ。

【請求項2】 上記クロック発生手段は、基本クロック
 信号を発生し、又、上記停止信号が供給される基本クロ
 ック信号発生手段と、上記基本クロック信号が供給され
 該基本クロック信号に基づき上記それぞれの中央演算処
 理装置へ供給する上記クロック信号を発生し、又、上記
 選択信号を発生する中央演算処理装置クロック信号発生
 手段とを備えた、請求項1記載の複数の中央演算処理装
 置を有するマイクロプロセッサ。

【請求項3】 上記発振停止手段が送出する上記停止信
 号により上記中央演算処理装置クロック信号発生手段か
 らすべての中央演算処理装置へのクロック信号の送出が
 停止した後、上記基本クロック信号発生手段へ供給され
 る外部割り込み信号により上記基本クロック信号発生手
 段が発振を再開する場合、上記基本クロック信号発生手
 段から発振再開信号が供給され所定の上記中央演算処理
 装置のみを復帰させる復帰選択信号を上記中央演算処理
 装置クロック信号発生手段へ送出する復帰選択手段を備
 えた、請求項2記載の複数の中央演算処理装置を有する
 マイクロプロセッサ。

【請求項4】 上記複数の中央演算処理装置のそれぞれ
 に接続され、該中央演算処理装置へ供給される割り込み
 要求を制御する割り込み要求制御手段と、
 出力側が上記割り込み要求制御手段のそれぞれに接続さ
 れ、上記中央演算処理装置のいずれかが他の上記中央演
 算処理装置に対してソフトウェア割り込みを要求する信
 号が上記選択手段から供給されたとき割り込み要求のあ
 る中央演算処理装置に接続されている上記割り込み要求
 制御手段へ割り込みを行うための制御信号を送出するソ
 フトウェア割り込み発生手段と、を備えた、請求項1記
 載の複数の中央演算処理装置を有するマイクロプロセッ
 サ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数の中央演算処理装
 置を有するマイクロプロセッサに関する。

【0002】

【従来の技術】 従来、ワンチップ・マイクロコンピュー
 タ・システムで、複数の中央演算処理装置（以下、CP
 Uと記す。）を内蔵したワンチップ・マイクロコンピュ
 ータにおいてストップモードを実現する場合、図6に示
 すように、発振子1、発振器2、発振制御回路3、マス
 タCPU4、サブCPU5-1、サブCPU5-nで構
 成される。発振子1を有する発振回路2の出力側は、マ
 スタCPU4、サブCPU5-1ないし5-nのそれぞ
 れに接続され、発振回路2から各CPUへクロックが供
 給される。又、マスタCPU4、サブCPU5-1ない
 し5-nのそれぞれはデータ通信線にて接続される。
 又、マスタCPUのストップ信号出力端子(STP)は発
 振制御回路3に接続され、発振制御回路3は発振回路2
 に接続される。

【0003】 このようなマルチプロセッサシステムで、
 ソフトウェアによりストップモードに移行するには、ス
 トップモードに移行するマスタCPU4が他のサブCP
 U5-1ないし5-nにストップモードに移行すること
 をポートか外部割り込みにより知らせてストップモード
 に移行していた。ストップモードに移行するにはストップ
 モードレジスタにデータセットするか、または、命令
 により発振制御回路3にストップ信号を出力し、発振回
 路2を停止し、消費電力を低減していた。

【0004】

【発明が解決しようとする課題】 ところが、従来、図6
 に示すようにCPUを複数個使用したマルチプロセッサ
 システムで低消費電力化を計るためには、発振器1を停
 止させるCPU以外のCPUで最後にストップ・モード
 に移行するCPUの処理時間分ウエイト時間を経過して
 から発振器1を停止させるか、またはストップ・モード
 に移行してもよいことの連絡を受けてから発振器1を停
 止させる方法であった。そのため、マルチプロセッサ
 で、低消費電力化を計る場合、ストップ・モードに移行
 するのに各プロセッサ間で通信をするとかストップ・モ
 ード移行時間分のウエイト時間を設定するとか、すべて
 のCPUがストップ・モードに移行して発振器1を停止
 させるのに時間がかかり、またハードウェア的に回路が
 増え、ソフトウェアの処理が複雑化、増大化するという
 問題点があった。

【0005】 また、従来、上記低消費電力化を計るため
 に、ストップ・モードから復帰する場合、全CPUが復
 帰し、復帰するCPUを指定できなかった。そのため、
 復帰したCPUがマルチプロセッサ・システムを復帰さ
 せていた。ストップ・モードから同時に復帰するCPU
 を自由に設定できるようにするにはハードウェア的に回
 路が増大し、ストップ・モードから復帰するのにソフト
 ウェア処理の時間も増大し、ソフトウェア自体も複雑
 化、増大化するという問題点もあった。

【0006】 また、上記低消費電力化を計るために、あ

3

るCPUが他のCPUをストップさせたり、復帰させたりするのにポートとか割り込みをつかって通信し、強制的にストップさせたり、また、復帰させたりしていたが、他のCPUのストップ・モードの制御を行うCPUが固定されるのが普通であった。制御状態により他のCPUのストップ・モードの制御を行うCPUを自由に選択するには、ハードウェア的に回路が増大し、ソフトウェア処理の時間も増大し、ソフトウェア自体も複雑化、増大化するという問題点もあった。本発明はこのような問題点を解決するためになされたもので、各CPU毎に独立して制御可能な複数のCPUを有するマイクロプロセッサを提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、複数のCPUと、複数のクロック信号及び複数の選択信号を発生し、上記複数のCPUのそれぞれに上記クロック信号を送出するクロック発生手段と、上記複数のそれぞれのCPUから送出される複数の出力情報が供給され、該情報を上記クロック発生手段から供給される上記選択信号によって選択する選択手段と、上記選択手段から供給される各CPU毎の情報を格納し、すべてのCPUが停止モード情報を送出したときにはすべての上記クロック信号の発生を停止させる停止信号を上記クロック発生手段へ送出する発振停止手段と、を備えたことを特徴とする。

【0008】

【作用】このように構成することでクロック発生手段は、それぞれのCPUへ個別にそれぞれのクロック信号を送出し、各CPUはそれぞれのクロック信号にて独立して動作し、又、選択手段は動作するCPUを選択する。さらに発振停止手段は、すべてのCPUが停止モード情報を送出したときには上記クロック信号の発生を停止させ消費電力を低減させる作用をする。このようにクロック発生手段、選択手段等は、各CPUを別個に動作させ、消費電力の低減に作用する。

【0009】

【実施例】

第1実施例 ; 本発明のマイクロプロセッサの一実施例を図1を参照し以下に説明する。本マイクロプロセッサは、複数のCPUを有しワンチップにて構成され、発振子1、発振回路2、発振制御回路3、CPUクロック発生回路6、CPU7-1ないし7-n、アドレスバスセクタ8、R/Wセクタ9、データバスセクタ10、アドレスデコーダ11、ROM12、RAM13、周辺回路14、ストップレジスタ15、及びストップ制御回路16から構成される。

【0010】このようなマイクロプロセッサにおいて、基本クロック信号であるクロック ϕ を送出する基本クロック信号発生手段たる発振回路2の出力側は、CPUクロック発生回路6に接続され、CPUクロック発生回路6の出力側はCPU7-1ないし7-nのそれぞれに接

4

続され、CPUクロック発生回路6はCPU7-1ないし7-nに対応してクロック ϕ 1ないし ϕ nを送出する。

【0011】各CPU7-1ないし7-nのアドレス出力端子は、アドレスバスセクタ8に接続され、各CPU7-1ないし7-nのデータ出力端子は、データバスセクタ10に接続され、各CPU7-1ないし7-nのリード/ライト(R/W)出力端子は、R/Wセクタ9に接続される。アドレスバスセクタ8の出力側は、共通アドレスバスを介してアドレスデコーダ11、ROM12及びRAM13に接続され、アドレスバスセクタ8はCPUクロック発生回路6から供給されるアドレスバス切換信号(ABCHG)にてアドレスを伝送するアドレスバスを選択する。

【0012】データバスセクタ10は、共通データバスを介してROM12、RAM13、周辺回路14、及びストップレジスタ15と接続され、データバスセクタ10はCPUクロック発生回路6から供給されるデータバス切換信号(DBCHG)にてデータを伝送するデータバスを選択する。

【0013】又、R/Wセクタ9の出力側は、ROM12、RAM13、及びストップレジスタ15に接続され、R/Wセクタ9はCPUクロック発生回路6から供給されるR/W切換信号(R/WCHG)にてR/W信号を伝送する伝送先を選択する。アドレスデコーダ11の出力側は、ROM12、RAM13、周辺回路14、及びストップレジスタ15に接続される。

【0014】各CPU7-1ないし7-nと同数のレジスタを有するストップレジスタ15の上記各レジスタのそれぞれの出力側はストップ制御回路16に接続されるとともに、CPUクロック発生回路6に接続される。ストップ制御回路16の出力側は発振制御回路3に接続される。ストップ制御回路16はAND回路にて構成され、すべての上記レジスタからストップ信号が供給されたときのみストップ信号を発振制御回路3へ送出する。

【0015】このように構成されるマイクロプロセッサの動作を以下に説明する。各CPU7-1ないし7-nは、それぞれCPUクロック発生回路6が送出するクロック ϕ 1等によりそれぞれ独立して動作し、それぞれアドレス情報をアドレスバスセクタ8へ送出し、データ情報をデータバスセクタ10へ送出し、R/Wの情報をR/Wセクタ9へそれぞれ送出する。アドレスバスセクタ8、データバスセクタ10、R/Wセクタ9は、CPUクロック発生回路6から供給されるアドレスバス切換信号、データバス切換信号、R/W切換信号にて使用するアドレスバス等を選択する。したがって各CPUは、ROM12、RAM13、周辺回路14、ストップレジスタ15を占有することができ、各CPUは互いに干渉することなくROM12、RAM13、周辺回路14、ストップレジスタ15にアクセスすることができる。

10

20

30

40

50

【0016】又、消費電力を低減するために各CPUがソフトウェアによりストップレジスタ15の自分自身のビットにデータを設定して、自分自身のクロックを停止する。そしてすべてのCPUにおいてクロック停止となったときにはストップレジスタ15が送出する発振停止信号(STPOUT)にて発振制御回路3が発振停止の信号を発振回路2へ送出する。よって発振回路2はクロック ϕ の出力を停止する。

【0017】第2実施例 ;次に、第2実施例について図2を参照し説明する。尚、図2において図1と同じ構成部分については同じ符号を付しその説明を省略する。第2実施例では第1実施例の構成に、ストップモードリリースレジスタ17を共通データバスに設けた。ストップモードリリースレジスタ17の入力側は発振制御回路3に接続され、出力側はCPUクロック発生回路6における各CPUに対応するクロック発生回路へ接続される。

【0018】このようなストップモードリリースレジスタ17は、ストップ制御回路16から供給される発振停止信号により発振制御回路3が発振停止の信号を送出した後、外部割り込み信号(INT)により発振制御回路3が再び発振を開始したときにその旨の信号(INTOUT)が供給され、指定されたCPUにのみCPUクロックの供給を行うべくCPUクロック発生回路6へ信号を送出するものである。

【0019】即ち、第1実施例では、発振制御回路3が再び発振を開始したときにはCPUクロック発生回路6からすべてのCPU7-1等へクロックが供給されすべてのCPUが動作を開始するが、第2実施例の回路では動作の必要なCPUへのみクロックを供給するものである。

【0020】このように構成することで、ストップモードリリースレジスタ17により指定されたCPUのみCPUクロックの供給を受けることができるので、第1実施例の場合に比べ動作不要なCPUを動作させる必要がないので、プログラムサイズを小さくすることができ、消費電力も低減することができる。

【0021】又、第2実施例における構成を採用することで、CPU7-1ないし7-nは、ストップレジスタ15及びストップモードリリースレジスタ17にアクセスすることができるので、いずれのCPUからでも他のCPUの動作を停止させたり、又、ストップモード中のCPUを復帰させることができる。さらに、ストップレジスタ15の内容を参照することにより、いずれのCPUがストップモード中であるのかを判断することができる。

【0022】第3実施例 ;次に第3実施例について図3を参照し以下に説明する。尚、図3において図1に示される構成部分と同じ構成部分については同じ符号を付しその説明を省略する。図7に示すように、従来、各CPUに対してそれぞれ割り込み要求制御回路21-1ない

し21-nが接続されている回路構成においてCPUがタスクの受け渡しを行う場合、タスクの受け渡しを共有メモリを介して行っているが、その起動方法がタイマ割り込みを利用したソフトウェアによるサンプリングが従来の方法であった。そのためタスクの受け渡しに時間がかかり、又、モニタソフトウェアも複雑化していた。したがって、マルチプロセッサシステムではCPUの数が多くなればなるほど、各CPU間のタスクの受け渡しには時間を要し、又、ソフトウェアを構築するのが困難であった。尚、図7に示される構成部分で図1に示される構成部分と同じものについては同じ符号を付している。

【0023】そこで図3に示すように、各割り込み要求制御回路21-1ないし21-nをそれぞれ個別に動作可能とするソフトウェア割り込み発生レジスタ20を設けた。即ち、ソフトウェア割り込み発生レジスタ20の入力側はアドレスデコーダ11及びデータバスセクタ10に接続され、出力側はそれぞれの割り込み要求制御回路21-1ないし21-nに接続される。

【0024】このように構成される第3実施例の動作をCPU7-1、7-2の場合を例に以下に説明する。例えばCPU7-1がCPU7-2にタスクを渡す場合、CPU7-1はCPU7-2もリード/ライトできるRAM13に処理内容をセットし、ソフトウェア割り込み発生レジスタのCPU7-2にソフトウェア割り込みを発生させるビットにデータをセットすることにより、CPU7-2にソフトウェア割り込みを発生させ、CPU7-2は発生したソフトウェア割り込みにより受け渡されたタスク処理に移行することができる。

【0025】従来ではタスクを受け取る側のCPUが常にタスクを受け渡されているか否かを監視しなければならないが、第3実施例の構成によればソフトウェア割り込みによりタスクを受け取るため高速にタスクの受け渡しが行なわれるとともに、ソフトウェアの容量、負担を小さくすることができる。

【0026】又、他の実施例として図4に示すように、上述した図1と図2に示す構成を合わせた構成としても良く、又、図5に示すように図2と図3を合わせた構成としても良い。尚、図4及び図5において、図1ないし図3に示す構成部分と同じ構成部分については同じ符号を付している。

【0027】

【発明の効果】以上詳述したように本発明によれば、それぞれのCPUへ個別にそれぞれのクロック信号を送出し、又、選択手段により動作するCPUを選択するように構成したことより、各CPUは上記クロック信号にて独立して動作することができ、又、動作するCPUを選択することができる。さらに、すべてのCPUが停止モード情報を送出したときには上記クロック信号の発生を停止するようにしたことより、消費電力を低減させることができる。

10

20

30

40

50

【図面の簡単な説明】

【図1】 本発明の複数の中央演算処理装置を有するマイクロプロセッサの第1実施例における構成を示すブロック図である。

【図2】 本発明の複数の中央演算処理装置を有するマイクロプロセッサの第2実施例における構成を示すブロック図である。

【図3】 本発明の複数の中央演算処理装置を有するマイクロプロセッサの第3実施例における構成を示すブロック図である。

【図4】 本発明の複数の中央演算処理装置を有するマイクロプロセッサの他の実施例における構成を示すブロック図である。

【図5】 本発明の複数の中央演算処理装置を有するマイクロプロセッサの他の実施例における構成を示すブ

ック図である。

【図6】 従来の複数の中央演算処理装置を有するマイクロプロセッサの構成を示すブロック図である。

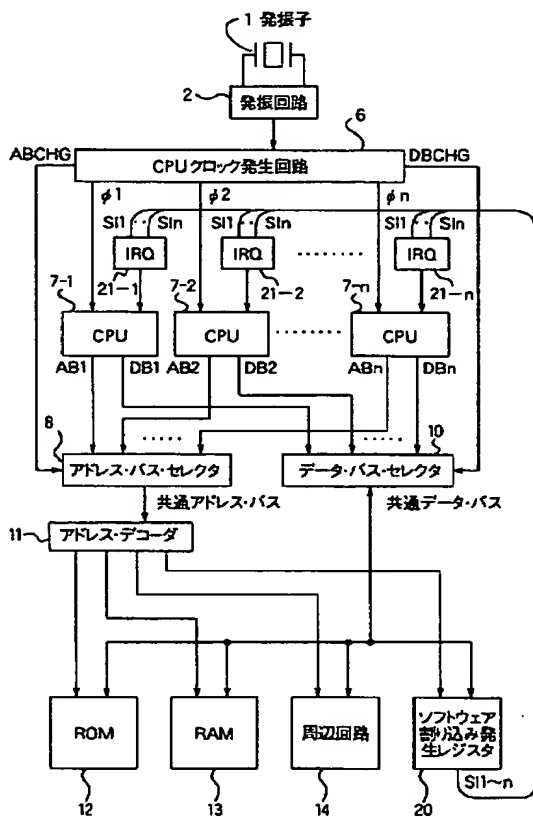
【図7】 従来の複数の中央演算処理装置を有するマイクロプロセッサの構成を示すブロック図である。

【符号の説明】

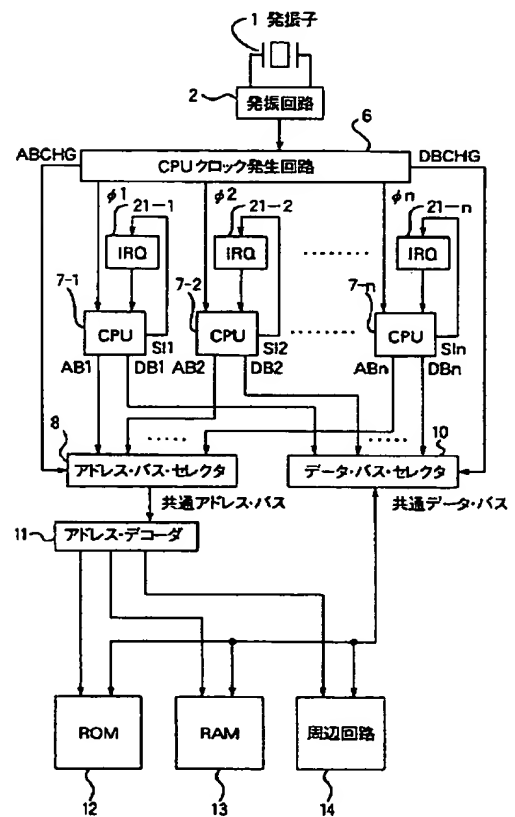
2…発振回路、3…発振制御回路、6…CPUクロック発生回路、7-1ないし7-n…CPU、8…アドレスバスセクタ、9…R/Wセクタ、10…データバスセクタ、11…アドレスデコーダ、15…ストップレジスタ、16…ストップ制御回路、17…ストップモードリリースレジスタ、20…ソフトウェア割り込み発生レジスタ、21-1ないし21-n…割り込み要求制御回路。

10

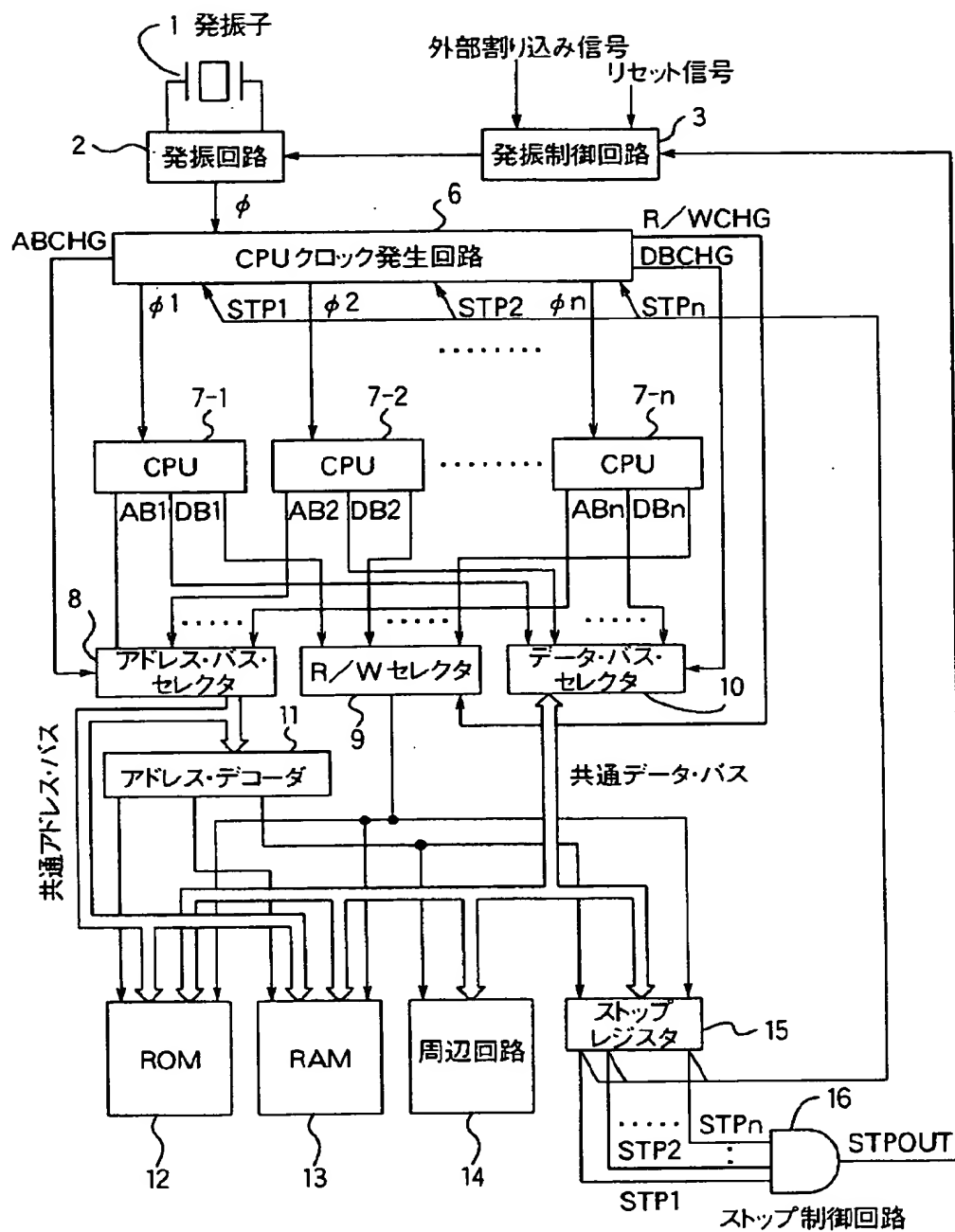
【図3】



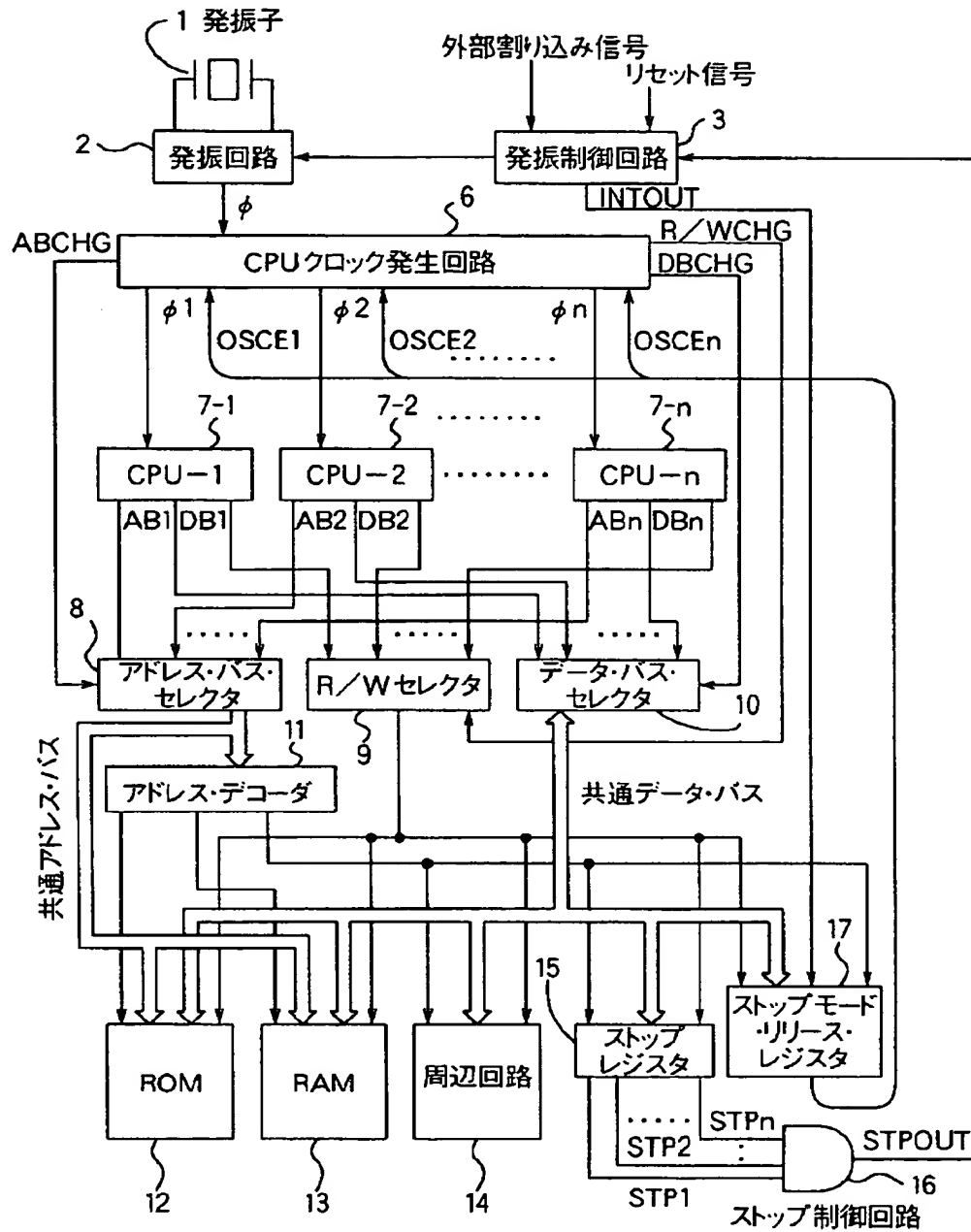
【図7】



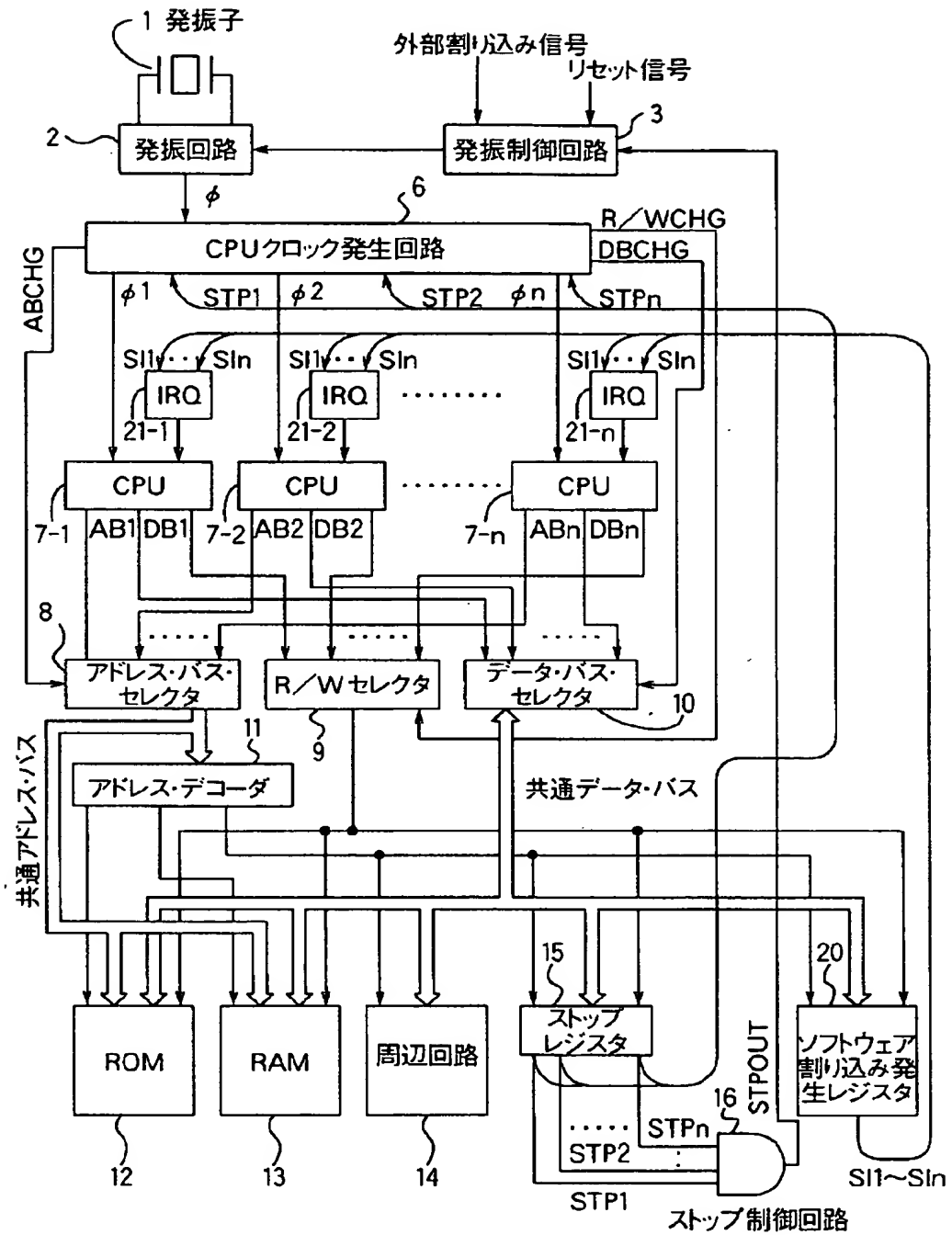
【図1】



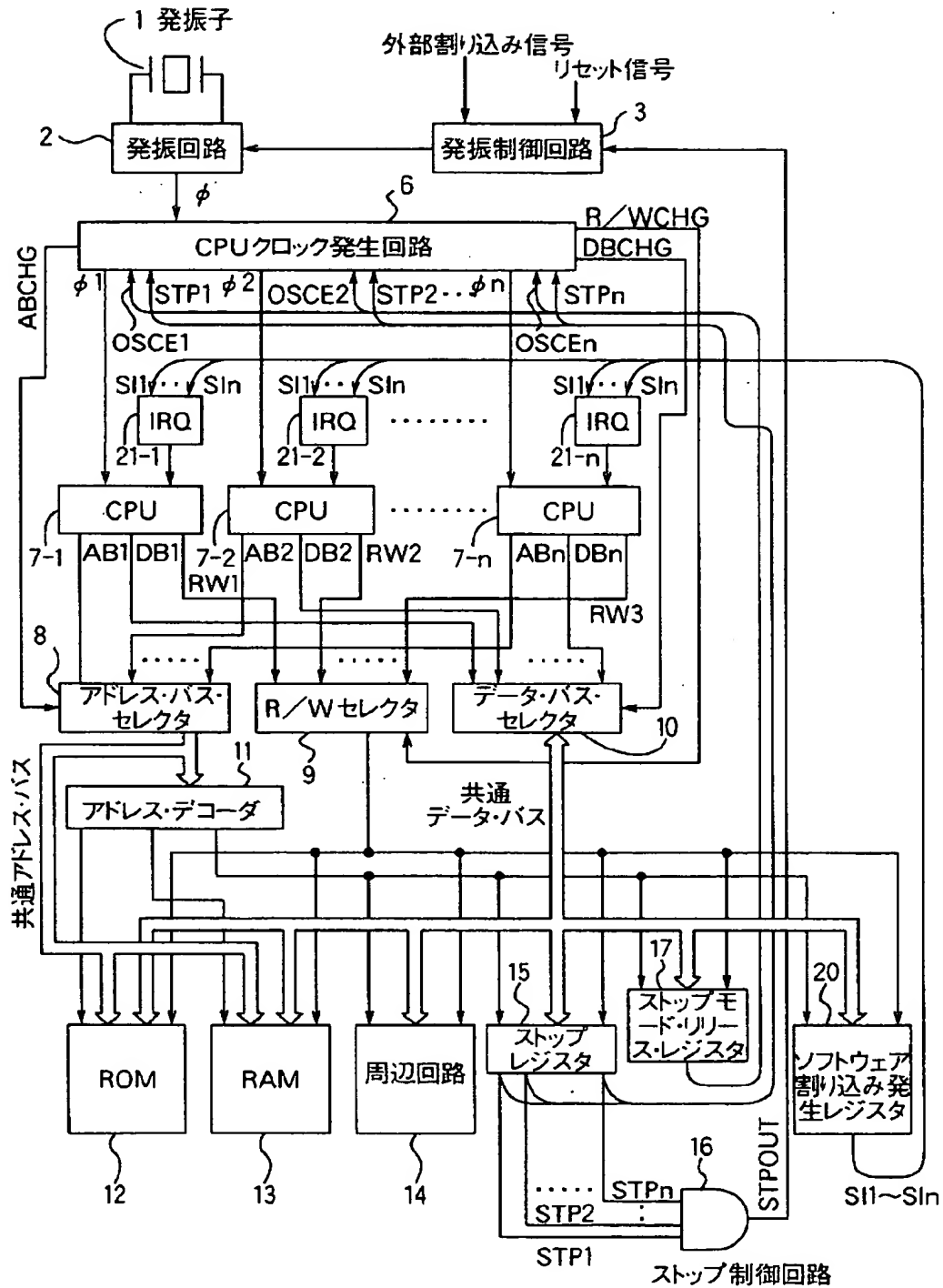
【図2】



【図 4】



【図5】



【図6】

